

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

AM

Requested Patent: DE19740514C1

Title: PCI BUS PERFORMANCE MEASUREMENT IN COMPUTER ;

Abstracted Patent: DE19740514 ;

Publication Date: 1998-12-24 ;

Inventor(s):

MOEHRING HERMANN DIPL ING (DE); SCHEPPACH GUENTHER DIPL ING (DE);
BREDEL ROGER DIPL PHYS (DE); ZIMMER HEINZ-GUENTER (DE) ;

Applicant(s): SIEMENS NIXDORF INF SYST (DE) ;

Application Number: DE19971040514 19970915 ;

Priority Number(s): DE19971040514 19970915 ;

IPC Classification: G06F11/34 ;

Equivalents:

ABSTRACT:

The method involves taking measurements, i.e. performance values, of the capabilities of. Peripheral. Component. Interconnect adapters of a computer system, especially a personal computer. A quotient is formed from a time of a data transmission on the PCI bus during a period of time, and the pure bus use to full capacity during that period. A quality value for the respectively connected adapter, i.e. for the effective use of the PCI bus, is derived from that quotient.



①9 **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Patentschrift**
⑩ **DE 197 40 514 C 1**

⑤ Int. Cl.⁶:
G 06 F 11/34

⑳ Aktenzeichen: 197 40 514.2-53
㉑ Anmeldetag: 15. 9. 97
㉒ Offenlegungstag: -
㉓ Veröffentlichungstag
der Patenterteilung: 24. 12. 98

DE 197 40 514 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦3 Patentinhaber:

Siemens Nixdorf Informationssysteme AG, 33106
Paderborn, DE

⑦4 Vertreter:

Epping, W., Dipl.-Ing. Dr.-Ing., Pat.-Anw., 82131
Gauting

⑦2 Erfinder:

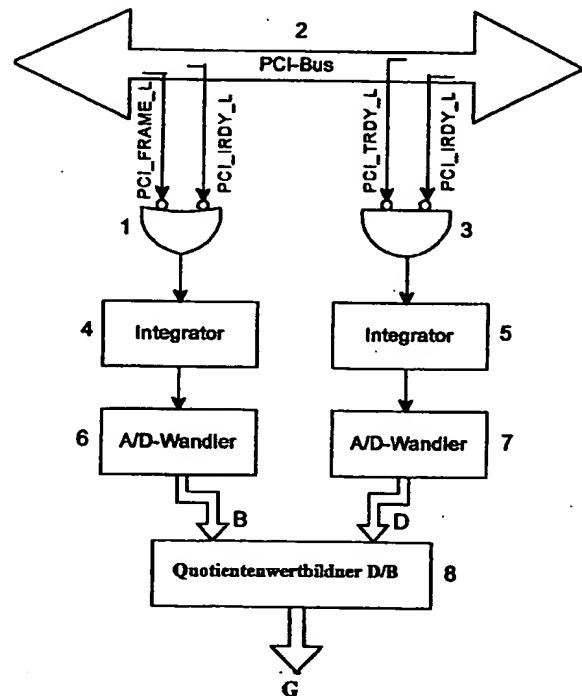
Bredel, Roger, Dipl.-Phys., 86420 Diedorf, DE;
Möhrling, Hermann, Dipl.-Ing. (FH), 86343
Königsbrunn, DE; Scheppach, Günther, Dipl.-Ing.
(FH), 86424 Dinkelscherben, DE; Zimmer,
Heinz-Günter, 86316 Friedberg, DE

⑤6 Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

US 54 40 722

⑤4 Verfahren zur Ermittlung des Bus-Leistungsvermögens von PCI-Adaptern eines Computersystems und
Schaltung zur Durchführung des Verfahrens

⑤7 Beim Verfahren nach der Erfindung wird das Leistungs-
vermögen von PCI-Adaptern eines Computersystems im
PCI-Bus (2) anhand von aussagekräftigen Meßwerten da-
durch ermittelt, daß aus der reinen Busauslastungszeit B
des PCI-Bus während eines Zeitabschnittes und der Da-
tenübertragungszeit D des PCI-Bus während des Zeitab-
schnittes ein Quotientenwert D/B als Wert für die Güte des
angeschlossenen Adapters gebildet wird. Das Verfahren
läßt sich bei Computersystemen, z. B. bei PCs, zur Realis-
ierung einer PCI-Performance-Meßlogik für Adapterkar-
ten, z. B. Controller, einsetzen.



DE 197 40 514 C 1

Beschreibung

Die Erfindung bezieht sich auf ein Verfahren gemäß dem Oberbegriff des Patentanspruchs 1.

Außerdem betrifft die Erfindung eine Schaltung zur Durchführung dieses Verfahrens.

Bei Computersystemen mit PCI(Peripheral Component Interconnect)-Adaptoren, z. B. Controllerkarten, ist es zur optimalen Systemkonfiguration von Bedeutung, wenn mittels geeigneter Messungen eine aussagekräftige Bewertung des Leistungsvermögens (Performance), also des Verhaltens der Adapter im PCI-Bus zur Verfügung gestellt werden kann. Es lassen sich dann insbesondere Controller mit einem weniger leistungsfähigen Verhalten erkennen.

In diesem Zusammenhang ist es beispielsweise aus US 5,440,722 bekannt, die Busauslastung eines Adapters in Prozent zu ermitteln, wodurch jedoch nur eine unzureichende Aussage über das tatsächliche Leistungsvermögen und die Systemverträglichkeit einzelner Adapter gemacht wird, da die reale Datentransferrate nicht erfaßt ist.

Der Erfindung liegt die Aufgabe zugrunde, für ein Computersystem mit PCI-Adapter ein Verfahren anzugeben, das mittels geeigneter Messungen aussagekräftige Performancewerte über das Verhalten des jeweiligen Adapters im PCI-Bus zur Verfügung stellt, so daß das Computersystem optimal konfiguriert und ein Adapter mit nicht ausreichendem Leistungsvermögen einwandfrei erkannt werden kann. Das durch die Erfindung zu schaffende Verfahren soll zur Erzielung einer korrekteren Aussage über die Leistungsfähigkeit und die Systemverträglichkeit einzelner Adapter nicht nur die reine Busauslastung erfassen. Durch die Erfindung soll darüber hinaus eine vorteilhafte Schaltung zur Durchführung dieses Verfahrens angegeben werden.

Diese Aufgabe wird bei einem gattungsgemäßen Verfahren durch die im kennzeichnenden Teil des Patentanspruchs 1 angegebenen Merkmale gelöst. Ein wesentlicher Gedanke beim durch die Erfindung angegebenen Verfahren und dem diesbezüglichen Auswertalgorithmus besteht darin, daß zur Bestimmung des Busleistungsvermögens von verschiedenen PCI-Adaptoren ein Quotientenwert aus der sogenannten reinen Busauslastungszeit und der Datenübertragungszeit gebildet wird.

Zweckmäßige Weiterbildungen und Ausführungsmöglichkeiten des Verfahrens nach der Erfindung sind in den Ansprüchen 2 bis 4 angegeben.

In vorteilhafter Weise wird die Busauslastungszeit des PCI-Bus dadurch ermittelt, daß man über längere Zeitabschnitte (Mittelung) die Aktivierungszeit der Veroderung der PCI-Bus-Signale FRAME und IRDY bestimmt. Das FRAME-Signal wird vom aktiven PCI-Master getrieben. Ein Abfallen des FRAME-Signals auf einen niedrigen, d. h. aktiven Pegel leitet die Adressierungsphase ein. Der PCI-Master deaktiviert das FRAME-Signal wieder, um die letzte Datenphase eines Busvorgangs anzuzeigen. Das IRDY-Signal zeigt an, daß der Initiator (Busmaster) bereit ist und die gegenwärtige Datenphase abschließen kann.

Bei einem Schreibzugriff aktiviert der Initiator das IRDY-Signal, um anzuzeigen, daß gültige Daten auf dem Bus liegen. Für einen Lesezugriff gibt das Signal IRDY an, daß der Initiator die Lesedaten annehmen kann. Die Signale FRAME und IRDY sind deswegen dafür geeignet, da die Aktivierungszeit ihrer Veroderung ein genaues Maß dafür ist, wieviel Zeit zwischen Beginn und Ende eines Buszyklus vergangen ist. Das Verhältnis dieser Meßgröße zur Gesamtzeit stellt einen Wert dafür dar, wie lange die verschiedenen PCI-Master den PCI-Bus belegen bzw. wie stark der Bus ausgelastet ist.

Um das Verhältnis zur Gesamtzeit zu ermitteln, werden

die betreffenden Signale über einen Integrator mit großer Zeitkonstante t gegenüber der Dauer T eines durchschnittlichen Buszyklus ($t \gg T$) integriert.

Bei einer Einzelmessung eines Adapters lassen sich auch Aussagen über einen speziellen Adaptertyp machen. Eine lange Busauslastungszeit eines Adapters ist für sich allein allerdings noch kein ausreichendes Kriterium für ein hohes Leistungsvermögen. Sie kann nämlich einerseits bedeuten, daß ein Adapter den Bus lange verzögert, oder andererseits besagen, daß ein Adapter lange burstet, d. h. die Busauslastungszeit kann also sowohl positiv als auch negativ gewertet werden. Deswegen wird gemäß der Erfindung zur Erzielung einer einwandfreien Aussage über das Leistungsvermögen eines Adapters noch die Datenübertragungszeit gemessen.

Die Datenübertragungszeit des PCI-Bus wird in vorteilhafter Weise dadurch ermittelt, daß man über längere Zeitabschnitte (Mittelung) die Aktivierungszeit der Verundung der PCI-Signale TRDY und IRDY bestimmt. Das TRDY-Signal zeigt an, daß die adressierte PCI-Einheit, also das Target, bereit ist und die gegenwärtige Datenphase abschließen kann.

Bei einem Schreibzugriff aktiviert das Target das TRDY-Signal, um anzuzeigen, daß es die Schreibdaten übernehmen kann. Für einen Lesezugriff gibt das TRDY-Signal an, daß das Target nun die Lesedaten bereitstellt. Nur wenn die Signale TRDY und IRDY zugleich aktiv sind, wird die Datenphase auch wirklich abgeschlossen.

Das Signal TRDY und das bezüglich seiner Funktion bereits vorher beschriebene Signal IRDY sind deswegen dafür geeignet, da die Aktivierungszeit ihrer Verundung ein genaues Maß für die Datenübertragungszeit ist. Das Verhältnis dieser aufgrund der Verundung der Signale TRDY und IRDY entstandenen Meßgröße zur Gesamtzeit stellt also einen Wert dafür dar, wie viele Daten pro Zeiteinheit tatsächlich übertragen werden. Um das Verhältnis zur Gesamtzeit zu ermitteln, werden die betreffenden Signale über einen Integrator mit großer Zeitkonstante t gegenüber der Dauer T eines durchschnittlichen Buszyklus ($t \gg T$) integriert.

Nach einer Analog/Digital-Wandlung sowohl der ermittelten Busauslastungszeit B als auch der ermittelten Datenübertragungszeit D lassen sich in vorteilhafter Weise anhand des Quotientenwertes D/B zwischen der dann in Digitalform vorliegenden Busauslastungszeit B und der ebenfalls in Digitalform vorhandenen Datenübertragungszeit D Rückschlüsse auf die Güte G eines Adapters machen.

Je größer der Quotientenwert D/B zwischen der Busauslastungszeit B und der Datenübertragungszeit D ist, desto höher ist die Güte G des jeweils angeschlossenen Adapters, d. h. desto effektiver nutzt der Adapter den PCI-Bus. Es gilt somit:

$$G = \frac{D}{B}.$$

Da immer $D \leq B$ gilt, stellt die Güte G gleichzeitig eine dimensionslose Kenngröße ähnlich einem Wirkungsgrad dar; d. h. $G_{\max} = 1$ bedeutet optimale Datenübertragung (1 Datum/Takt), die in der Realität nie erreicht werden kann; beispielsweise bedeutet bei $G = 0,2$, daß die Busauslastungszeit mit Datenübertragung genutzt wird; der Rest sind Arbitrierungs- und Wartezyklen.

Bei gleichzeitiger Kenntnis der Frequenz am PCI-Bus läßt sich damit direkt auf die Datenbandbreite am Bus schließen. Beispielsweise bei $G = 0,2$ und einer Frequenz am PCI-Bus von 33 MHz, was einer Bandbreite von 128 MByte entspricht, ist die reale Datenbandbreite D :

128 MByte/s · 0,2 = 25,6 MByte/s.

Bei Computersystemen im Vollausbau bzw. mit stark ausgebauten Bussystemen lassen sich mit dem Verfahren nach der Erfindung zwar keine exakten Absolutwerte eines einzelnen Adapters, aber Relativwerte verschiedener Adapteralternativen bzw. unterschiedlicher Systemkonfigurationen ermitteln, was bedeutet, daß eine Optimierung des jeweiligen Rechnersystems auch hier möglich ist.

Eine vorteilhafte und zweckmäßige Schaltung zur Durchführung des Verfahrens nach der Erfindung ist im Patentanspruch 5 angegeben.

Das Verfahren nach der Erfindung wird im folgenden anhand der in der beiliegenden FIGUR schematisch dargestellten Schaltung erläutert.

Der eine Eingang eines mit zwei Eingängen versehenen ODER-Gatters 1 ist mit dem FRAME-Anschluß des PCI-Bus 2 eines Computersystems, z. B. eines Personal Computers, und der andere Eingang des ODER-Gatters 1 mit dem IRDY-Anschluß des PCI-Bus 2 verbunden.

Die Signale FRAME und IRDY werden dem ODER-Gatter 1 deswegen zugeführt, weil die Aktivierungszeit ihrer Veroderung ein genaues Maß dafür ist, wieviel Zeit zwischen dem Beginn und dem Ende eines Buszyklus vergangen ist. Das Verhältnis dieser Meßgröße zur Gesamtzeit stellt einen Wert dafür dar, wie lange die verschiedenen PCI-Master den PCI-Bus 2 belegen bzw. wie stark der PCI-Bus 2 ausgelastet ist.

Der eine Eingang eines mit zwei Eingängen versehenen UND-Gatters 3 ist mit dem TRDY-Anschluß des PCI-Bus 2 und der andere Eingang des UND-Gatters 3 mit dem IRDY-Anschluß des PCI-Bus 2 verbunden. Das Signal TRDY und das Signal IRDY sind deswegen für ihre Zuführung an das UND-Gatter 3 geeignet, weil die Aktivierungszeit ihrer Verundung ein genaues Maß für die Datenübertragungszeit ist.

Das Verhältnis dieser aufgrund der Verundung der Signale TRDY und IRDY entstandenen Meßgröße zur Gesamtzeit stellt also einen Wert dafür dar, wie viele Daten pro Zeiteinheit tatsächlich übertragen werden.

An den Ausgang des ODER-Gatters 1 und an den Ausgang des UND-Gatters 3 ist jeweils ein Integrator 4 bzw. 5 mit seinem Eingang angeschlossen. Die betreffenden Signale an den Ausgängen des ODER-Gatters 1 und des UND-Gatters 3 werden mittels der beiden Integratoren 4 bzw. 5, die jeweils eine große Zeitkonstante t gegenüber der Dauer T eines durchschnittlichen Buszyklus ($t \gg T$) aufweisen, deswegen integriert, damit das Verhältnis jeder der beiden Meßgrößen zur Gesamtzeit ermittelt werden kann.

Jeder der beiden Integratoren 4 und 5 ist an seinem Ausgang mit dem Eingang jeweils eines Analog/Digital-Wandlers 6 bzw. 7 verbunden. Die Ausgänge der beiden Analog/Digital-Wandler 6 und 7 sind mit den Eingängen jeweils eines Quotientenwertbildners 8 verbunden.

Am Ausgang des Quotientenwertbildners 8 steht der hinsichtlich des Leistungsvermögens (Performance) des Adapters aussagekräftige Gütewert $G = D/B$ als Ausgangsgröße an. Danach gilt also der Grundsatz: Je größer der Quotientenwert D/B zwischen der Busauslastungszeit B und der Datenübertragungszeit D ist, um so höher ist die Güte G des PCI-Adapters und um so wirksamer wird der PCI-Bus 2 vom jeweils angeschlossenen Adapter ausgenutzt.

Patentansprüche

1. Verfahren zur Ermittlung von über das Leistungsvermögen von PCI(Peripheral Component Interconnect)-Adaptoren eines Computersystems, insbesondere eines Personal Computers, im PCI-Bus aussagekräftigen Meßwerten (Performancewerte), dadurch ge-

kennzeichnet, daß aus der reinen Busauslastungszeit B des PCI-Bus (2) während eines Zeitabschnittes und der Datenübertragungszeit D des PCI-Bus während des Zeitabschnittes ein Quotientenwert D/B als Wert für die Güte G des jeweils angeschlossenen Adapters, entsprechend der effektiven Nutzung des PCI-Bus durch den Adapter, gebildet wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Ermittlung der Busauslastungszeit des PCI-Bus (2) durch den jeweils angeschlossenen PCI-Adapter die Aktivierungszeit der Veroderung der PCI-Signale FRAME und IRDY über längere Zeitabschnitte (Mittelung) bestimmt wird und die veroderten Signale über einen Integrator (4) mit großer Zeitkonstante t gegenüber der Dauer T eines durchschnittlichen Buszyklus ($t \gg T$) integriert werden und daß zur Ermittlung der Datenübertragungszeit des PCI-Bus durch den angeschlossenen PCI-Adapter die Aktivierungszeit der Verundung der PCI-Signale TRDY und IRDY über längere Zeitabschnitte bestimmt wird und die verundeten Signale über einen Integrator (5) mit großer Zeitkonstante t gegenüber der Dauer T eines durchschnittlichen Buszyklus ($t \gg T$) integriert werden.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß die ermittelte Busauslastungszeit und die ermittelte Datenübertragungszeit analog/digital gewandelt werden, daß danach in Digitalform die Quotientenwertbildung aus der Busauslastungszeit B und der Datenübertragungszeit D erfolgt, und daß daraus die Bildung des Gütewertes

$$G = \frac{D}{B}$$

des angeschlossenen Adapters vorgenommen wird.

4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß bei einem Computersystem im Vollausbau oder mit stark ausgebauten Bussystemen nicht die Absolutwerte eines einzelnen PCI-Adapters, sondern Relativwerte verschiedener Adapteralternativen bzw. unterschiedlicher Systemkonfigurationen ermittelt werden.

5. Schaltung zur Durchführung des Verfahrens nach den Ansprüchen 1 bis 3, dadurch gekennzeichnet, daß der eine Eingang eines mit zwei Eingängen versehenen ODER-Gatters (1) mit dem FRAME-Anschluß des PCI-Bus (2) und der andere Eingang dieses ODER-Gatters mit dem IRDY-Anschluß des PCI-Bus verbunden ist, daß der eine Eingang eines mit zwei Eingängen versehenen UND-Gatters (3) mit dem TRDY-Anschluß des PCI-Bus und der andere Eingang dieses UND-Gatters mit dem IRDY-Anschluß des PCI-Bus verbunden ist, daß an den Ausgang des ODER-Gatters und an den Ausgang des UND-Gatters jeweils einer von zwei Integratoren (4, 5) mit seinem Eingang angeschlossen ist, daß jeder der beiden Integratoren an seinem Ausgang mit dem Eingang jeweils eines Analog/Digital-Wandlers (6, 7) verbunden ist, daß die Ausgänge der beiden Analog/Digital-Wandler mit einem der beiden Eingänge jeweils eines Quotientenwertbildners (8) verbunden sind, und daß am Ausgang des Quotientenwertbildners (8) der hinsichtlich des Leistungsvermögens (Performance) des Adapters aussagekräftige Gütewert

$$G = \frac{D}{B}$$

als Ausgangsgröße ansteht.

Hierzu 1 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

